

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

This Page Blank (uspto)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09115165
PUBLICATION DATE : 02-05-97

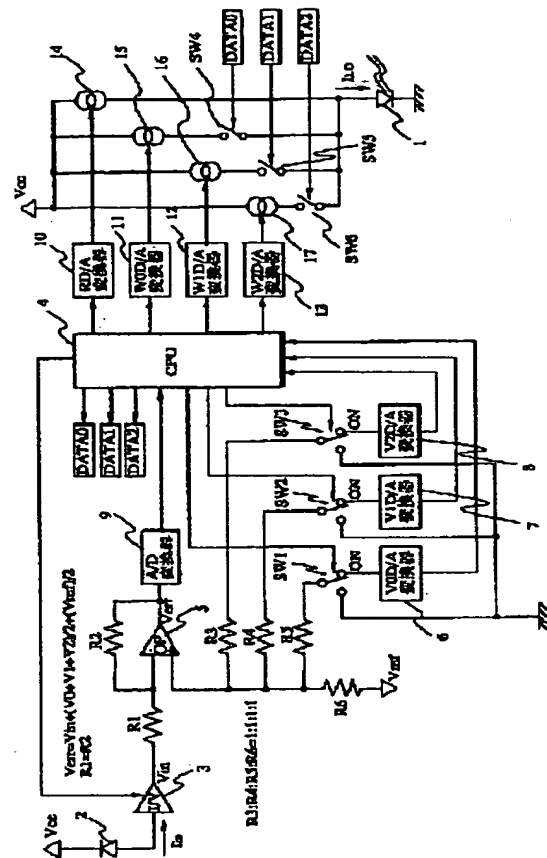
APPLICATION DATE : 20-10-95
APPLICATION NUMBER : 07272939

APPLICANT : OLYMPUS OPTICAL CO LTD;

INVENTOR : ARAI KAZUMA;

INT.CL. : G11B 7/125 G11B 7/00 H01S 3/103

TITLE : SEMICONDUCTOR LASER CIRCUIT



ABSTRACT : PROBLEM TO BE SOLVED: To drive a semiconductor laser by many valued semiconductor laser driving currents with a simple circuitry of a low band without setting the power in the auto laser power control region of an optical recording medium.

SOLUTION: Test light emission is executed in the test zone or manufacture zone region disposed over ≥ 100 tracks on the inner and outer circumferences exclusive of a predetermined user area. The setting of the light power for the test light emission is executed successively at output currents I_{w0} , I_{w1} , I_{w2} . Optimum output current values are set in a W0 D/A converter 11, W1 D/A converter 12 and W2 D/A converter 13 from a CPU 4, and the current setting of a W0 constant current circuit 15, W1 constant current circuit 16 and W2 constant current circuit 17 is executed, at a write time (write mode). Next, An LD driving current is supplied to an LD 1 by turning switches SW4, SW5, SW6 on and off according to the write data.

COPYRIGHT: (C)1997,JPO

B6

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-115165

(43) 公開日 平成9年(1997)5月2日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 7/125			G 1 1 B 7/125	B
	7/00	9464-5D	7/00	M
H 0 1 S 3/103			H 0 1 S 3/103	

審査請求 未請求 請求項の数 3 O L (全 19 頁)

(21) 出願番号 特願平7-272939

(22) 出願日 平成7年(1995)10月20日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 荒井 一馬

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

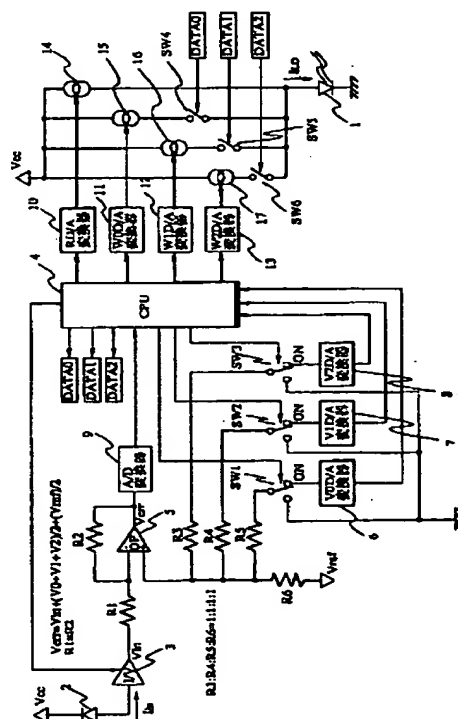
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 半導体レーザ制御回路

(57) 【要約】

【課題】 光記録媒体のALPC領域でのパワー設定を行わず、簡単かつ低帯域な回路構成で半導体レーザを多値の半導体レーザ駆動電流により駆動する。

【解決手段】 テスト発光は、予め定められたユーザエリア以外のディスク内外周に100トラック以上にわたり設けられたTest ZoneまたはManufacturer Zoneの領域において行い、テスト発光ライトパワー設定は、出力電流 I_{w0} 、 I_{w1} 、 I_{w2} を順次行う。ライト時（ライトモード）は、CPU4よりW0D/A変換器11、W1D/A変換器12、W2D/A変換器13に最適出力電流値を設定しW0定電流回路15、W1定電流回路16、W2定電流回路17の電流設定を行う。次にスイッチSW4、SW5、SW6をライトデータに応じてON-OFFし、LD1にLD駆動電流を供給する。



【特許請求の範囲】

【請求項1】 レーザ光を光記録媒体に照射する半導体レーザを有し、前記半導体レーザが照射する前記レーザ光を制御する半導体レーザ制御回路において、前記半導体レーザを駆動する半導体レーザ駆動電流を前記半導体レーザに供給する複数のパルス電流供給手段と、前記複数のパルス電流供給手段の前記半導体レーザ駆動電流を設定する電流設定手段と、前記電流設定手段の設定を制御する制御手段と、前記半導体レーザの前記レーザ光を検出する光検出手段と、前記光検出手段からの電流信号を電圧信号に変換する電流・電圧変換手段とを備え、前記制御手段は、前記光記録媒体の所定の領域で、予め、前記電流設定手段が設定する前記半導体レーザ駆動電流の設定値を指定し、前記電流・電圧変換手段の出力と所定のデータとを比較し、比較結果に基づき前記電流設定手段の前記設定値を補正し、補正後の前記設定値を記憶すると共に、記憶した前記設定値に基づき前記光記録媒体の記録領域での前記電流設定手段の設定を制御することを特徴とする半導体レーザ制御回路。

【請求項2】 レーザ光を光記録媒体に照射する半導体レーザを有し、前記半導体レーザが照射する前記レーザ光を制御する半導体レーザ制御回路において、前記半導体レーザを駆動する半導体レーザ駆動電流を前記半導体レーザに供給する複数のパルス電流供給手段と、前記複数のパルス電流供給手段の前記半導体レーザ駆動電流を設定する電流設定手段と、前記電流設定手段の設定を制御する制御手段と、前記半導体レーザの前記レーザ光を検出する光検出手段と、前記光検出手段からの電流信号を電圧信号に変換する電流・電圧変換手段と、前記半導体レーザの発光パワー基準値を設定する1つ以上の基準設定手段と、前記電流・電圧変換手段の出力と前記発光パワー基準値を比較する比較手段とを備え、前記制御手段は、前記光記録媒体の所定の領域で、予め、前記電流設定手段が設定する前記半導体レーザ駆動電流の設定値を指定し、前記比較手段の出力と所定のデータとを比較し、比較結果に基づき前記電流設定手段の前記設定値を補正し、補正後の前記設定値を記憶すると共に、記憶した前記設定値に基づき前記光記録媒体の記録領域での前記電流設定手段の設定を制御することを特徴とする半導体レーザ制御回路。

【請求項3】 2値以上の光パワーを出力する半導体レ

ーザを制御する半導体レーザ制御回路において、前記2値以上の出力パワーの設定時に、第1の出力パワー値の設定後、随時前記第1の出力パワー値以外の出力パワー設定値を前記第1の出力パワー値を用いて設定を行うことを特徴とする半導体レーザ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体レーザ制御回路、更に詳しくは光記録媒体に半導体レーザが照射するレーザ光を制御する半導体レーザ制御回路に関する。

【0002】

【従来の技術】光ディスク高密度記録の方式としてマークエッジ記録方式は公知の技術であるが、通常のパルス波形によるレーザ駆動電流では記録マーク形状が熱の蓄積効果により涙滴状に歪むという問題があり、特に記録マーク長をデータとするマークエッジ記録では再生時のエラー増加の原因となる。その対策として、図11に示すような記録時に幾つかのレーザパワーを用いる記録波形補償方式が提案されている。

【0003】これら多値記録を実現する半導体レーザ制御回路が、例えば特開平2-68736号公報に提案されている。

【0004】この特開平2-68736号公報の半導体レーザ制御回路では、図12に示すように、半導体レーザ101の出力光は、光検出器102により受光されオペアンプ103により電流-電圧変換される。そして、オペアンプ103の出力が光パワー制御誤差信号109となり、サーボ系を構成するオペアンプ110、111、112に入力される。

【0005】例えば光磁気ディスクのフォーマットでは、図13(a)に示すように、いくつかの記録領域(以下MO領域)114で1つのセクタを構成する。セクタでは、プリフォーマット領域であるサーボマーク(以下SM)113が各MO領域114の直前に設けられ、このSM113はトラッキングサーボを行うためのウォブルピット等で構成されている。また、セクタの先頭には、SM113に続いてセクタのアドレスが記録されたセクタアドレス(AD)115、再生、消去、記録の各光パワーレベルを設定するための領域であるALPC(オート・レーザ・パワー・コントロール)領域116が設けられている。なお、ALPC領域で設定される半導体レーザ101の光出力波形を図13(g)に示す。

【0006】図12において、再生サンプルホールド回路119は、再生サンプルゲート信号117がハイレベルの時サンプル状態となり、光パワー制御誤差信号109と再生基準電圧118とのオペアンプ110の比較出力が再生電流源120を駆動し再生時のDC発光パワーを設定し(図13(g)の符号121)、再生サンプルゲート信号117がローレベルの時ホールド状態とな

り、オペアンプ110の出力をホールドすることで、再生時のDC発光パワーが一定に保持される(図13(g)の符号122)。なお、再生サンプルゲート信号117の信号波形を図13(d)に示す。

【0007】また、図12において、ボトム値サンプルホールド回路124は、ボトム値サンプルゲート信号123がハイレベルの時サンプル状態となり、光パワー制御誤差信号109とボトム値基準電圧125とのオペアンプ111の比較出力がボトム値電流源126を駆動しボトム値(消去時)のDC発光パワーを設定し(図13(g)の符号127)、ボトム値サンプルゲート信号123がローレベルの時ホールド状態となり、オペアンプ111の出力をホールドすることで、ボトム値(消去時)のDC発光パワーが一定に保持される(図13(g)の符号128)。なお、ボトム値サンプルゲート信号123の信号波形を図13(e)に示す。

【0008】さらに、図12において、ピーク値サンプルホールド回路130は、ピーク値サンプルゲート信号129がハイレベルの時サンプル状態となり、光パワー制御誤差信号109とピーク値基準電圧131とのオペアンプ112の比較出力がボトム値電流源132を駆動しピーク値(記録時)のDC発光パワーを設定し(図13(g)の符号133)、ピーク値サンプルゲート信号129がローレベルの時ホールド状態となり、オペアンプ112の出力をホールドすることで、ピーク値(記録時)のDC発光パワーが一定に保持される(図13(g)の符号134)。なお、ピーク値サンプルゲート信号129の信号波形を図13(f)に示す。

【0009】変調段135は、図13(c)に示す記録信号136に従って半導体レーザ101を保持されたピーク値パワーとボトム値パワーで光パルス変調を行う。また、ライトゲート信号137は、記録信号136のゲート138の動作と、ボトム値電流源スイッチ139のon動作を行う。なお、ライトゲート信号137の信号波形を図13(b)に示す。

【0010】

【発明が解決しようとする課題】上記従来技術は、図12のような回路構成により図13(a)のようにセクタ内のプリフォーマット領域とMO領域の間に設けられたALPC領域においてテスト発光を行いパワー設定を行う必要がある。つまり、図11のような記録補償波形(ライト電流波形)を実現するためには、上記ALPC領域において3値のパワー設定を行わなければならない。

【0011】従来のような1値のみの記録パワーを用いた単穴記録方式では、上記のようにALPC領域でパワー設定を行うことは十分可能であった。

【0012】しかしながら、高密度記録(長穴記録方式におけるZ-CAV記録)に対応したディスクに上記図12の回路を適用した場合、このALPC領域は、13

0mm、2.6GB光磁気ディスク規格(SC23/WG2N 776)によれば、表1のように6Byte(72channel bits)しか存在しない。

【0013】

【表1】

Gap	Flag	Gap	ALPC
5	5	2	6

この規格において、例えばディスクの回転数を3600rpmとした場合、Z-CAVディスク最外周ゾーン(33Bands/1024-bytesectors)におけるチャンネルクロック周波数は、67[MHz]に至り、ALPC領域の通過時間は1.075[μsec]となる。

【0014】このALPC領域において、図11における3値のパワー設定を完了するためには、1値のパワー設定を約300[nsec]($\approx 1.075[\mu\text{sec}]/3$)で行わなければならない。これを±1%程度の精度で実現するためには、図12における1チャンネル当たりの半導体レーザAPC(Auto Power Control)ループの帯域として17[MHz]以上(17[MHz] $\approx (300[\text{nsec}]/5)^{-1}$)の帯域が要求される。これは、現状の光ディスク記録再生装置におけるRFの帯域にも相当する。

【0015】従って、半導体レーザモニタ用光検出器、電流・電圧変換回路、演算回路、サンプル/ホールド回路全てに、これら帯域を実現する広帯域対応の部品を用意する必要があり、しかも、これら広帯域を実現する回路が各出力値ごとに3回路必要となってしまう、回路が複雑かつ高価になるといった問題がある。

【0016】本発明は、上記事情に鑑みてなされたものであり、光記録媒体のALPC領域でのパワー設定を行わず、簡単かつ低帯域な回路構成で半導体レーザを多値の半導体レーザ駆動電流により駆動できる半導体レーザ制御回路を提供することを目的としている。

【0017】

【課題を解決するための手段】本発明の半導体レーザ制御回路は、レーザ光を光記録媒体に照射する半導体レーザを有し、前記半導体レーザが照射する前記レーザ光を制御する半導体レーザ制御回路において、前記半導体レーザを駆動する半導体レーザ駆動電流を前記半導体レーザに供給する複数のパルス電流供給手段と、前記複数のパルス電流供給手段の前記半導体レーザ駆動電流を設定する電流設定手段と、前記電流設定手段の設定を制御する制御手段と、前記半導体レーザの前記レーザ光を検出する光検出手段と、前記光検出手段からの電流信号を電圧信号に変換する電流・電圧変換手段とを備えて構成される。

【0018】本発明の半導体レーザ制御回路では、前記制御手段が、前記光記録媒体の所定の領域で、予め、前記電流設定手段が設定する前記半導体レーザ駆動電流の設定値を指定し、前記電流・電圧変換手段の出力と所定

のデータとを比較し、比較結果に基づき前記電流設定手段の前記設定値を補正し、補正後の前記設定値を記憶すると共に、記憶した前記設定値に基づき前記光記録媒体の記録領域での前記電流設定手段の設定を制御することで、光記録媒体のALPC領域でのパワー設定を行わず、簡単かつ低帯域な回路構成で半導体レーザを多値の半導体レーザ駆動電流により駆動することを可能とする。

【0019】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態について述べる。

【0020】図1ないし図7は本発明の第1の実施の形態に係わり、図1は半導体レーザ制御回路の構成を示す構成図、図2は図1の半導体レーザ制御回路が出力する信号のタイミングを示すタイミングチャート、図3は図1の半導体レーザ制御回路におけるテスト発光リードパワー設定の流れを示すフローチャート、図4は図1の半導体レーザ制御回路におけるテスト発光ライトパワー設定の流れを示すフローチャート、図5は図4における発光パワーW0の設定の流れを示すフローチャート、図6は図4における発光パワーW1の設定の流れを示すフローチャート、図7は図4における発光パワーW2の設定の流れを示すフローチャートである。

【0021】（構成）本実施の形態の半導体レーザ駆動回路では、図1に示すように、半導体レーザ（以下LD）1の出力光を光検出器2により受光し、LD1の出力モードに応じて2種類以上のゲイン切り換え機能を有する電流／電圧変換回路3により受光電流を電圧変換するようになっている。つまり、電流／電圧変換回路3は、CPU4により、LD1の発光パワーがリードモード（低出力時）では高ゲインに、またライト・イレースモード（高出力時）では低ゲインに電流／電圧変換ゲインを切り換える。この機能により、以下の出力光パワー指示用の3つのデジタル・アナログ変換回路をリードモード、ライト・イレースモードで共有することを可能とする。

【0022】前記電流／電圧変換回路3からの電圧変換信号は、オペアンプ（以下OP）5の負側入力端子に抵抗R1を介して入力される。またOP5の正側入力端子には、抵抗R2を介して基準電圧（Vref）と抵抗R3、R4、R5、R6及びスイッチSW1、SW2、SW3を介して、出力光パワー指示用の3つのデジタル・アナログ変換器である、V0D/A変換器6、V1D/A変換器7、V2D/A変換器8が接続されている。なお、各抵抗値の関係は、 $R1=R2$ 、 $R3=R4=R5=R6$ となっている。

【0023】ここで、スイッチSW1、SW2、SW3は、抵抗R1、R2、R3の片側を、CPU4からの指示部信号により選択的に前記のV0D/A変換器6、V1D

/A変換器7、V2D/A変換器8あるいはGNDに接続するように構成されている。また、V0D/A変換器6、V1D/A変換器7、V2D/A変換器8の出力指示値はいずれもCPU4により設定される。

【0024】OP5の出力は、アナログ・デジタル変換器（以下A/D変換器）9に入力し、デジタル変換後CPU4に入力されている。また、CPU4は、OP5の出力に応じて、リード、ライト、イレース用の半導体レーザ駆動電流設定デジタル・アナログ変換器であるRD/A変換器10、W0D/A変換器11、W1D/A変換器12、W2D/A変換器13を介して、半導体レーザ駆動のR定電流回路14、W0定電流回路15、W1定電流回路16、W2定電流回路17の設定を行い、各モード（リード、ライト、イレース）に応じてスイッチSW4、SW5、SW6をON/OFFしてLD1を駆動するようになっている。

【0025】（作用）次に各モードにおける動作を説明する。

【0026】リード時（リードモード）は、以下のようによりパワー設定を行う。CPU4は、スイッチSW1をV0D/A変換器6側（ON）に、その他スイッチSW2、SW3はGND側（OFF）に接続し、スイッチSW4、SW5、SW6はOFF（OPEN）とし、電流／電圧変換回路3のゲイン設定をリードモードとする。

【0027】次に、CPU4よりV0D/A変換器6に目標パワー値を設定し、RD/A変換器10に出力電流値を指示しR定電流回路14の電流設定を行う。

【0028】ここで、RD/A変換器10の指示値は、後述するように事前にテスト発光によりCPU4に記憶（学習）しておいた指示値を設定する。これら設定によりリード発光に至る。

【0029】そして、リード発光時、CPU4は定期的にOP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内に収まるように（OP5出力が（Vref/2）となるように）、RD/A変換器10の指示値を修正する。この時、一定時間間隔ごとにA/D変換器9の出力の参照及び出力電流指示を行うRD/A変換器の補正を複数回繰返しても良いし、これらの平均値により最適指示値をCPU5により算出しても良い。

【0030】ライト・イレース時（イレース・ライトモード）の出力電流Iw0、Iw1、Iw2の設定は、リード同様、後述するように事前にテスト発光を行い、各記録エリア（ゾーン）での光出力パワー（W0D/A変換器11、W1D/A変換器12、W2D/A変換器13）の最適電流指示値を学習し、以下に示す様に前記最適電流指示値をCPUより設定し、出力電流Iw0、Iw1、Iw2の設定をそれぞれ個別に行う。

【0031】イレース時（イレースモード）は、CPU4よりW0D/A変換器11、W1D/A変換器12、W2D

／A変換器13に出力電流値を設定し定電流回路の電流設定を行う。次にスイッチSW4、SW5をイレースゲートに応じてON (SHUT) とする。

【0032】ここで、イレース電流供給回路としてW0定電流回路15、W1定電流回路16を用いたが、W0定電流回路15、W2定電流回路17を用いても良いし、すべてのW0定電流回路15、W1定電流回路16、W2定電流回路17を用いても良い。但し、ここで、R定電流回路14はバイアス電流 (LDのしきい値電流) を供給しているものとする。

【0033】ライト時 (ライトモード) は、CPU4よりW0D／A変換器11、W1D／A変換器12、W2D／A変換器13に最適出力電流値を設定しW0定電流回路15、W1定電流回路16、W2定電流回路17の電流設定を行う。

【0034】次にスイッチSW4、SW5、SW6をライトデータに応じてON・OFF (SHUT・OPEN) し、LD1に図2のようなLD駆動電流ILDを供給する。つまり、図2に示すように、CPU4からのライトデータ (WDATA) に基づいたDATA1、DATA2、DATA3によりSW4、SW5、SW6をON・OFF (SHUT・OPEN) し、W0D／A変換器11、W1D／A変換器12、W2D／A変換器13が駆動電流ILDを出力する。

【0035】テスト発光は、予め定められたユーザエリア以外のディスク内外周に100トラック以上にわたり設けられたTest ZoneまたはManufacturer Zone等において以下のように行われ、ALPC領域のようなきびしい時間的制限を受けることがない。

【0036】テスト発光リードパワー設定は、図3に示すような手順で行う。以下、図3のフローチャートに従って説明する。ただし、 $I_{w0} \leq I_{w1} \leq I_{w2}$ とする。

【0037】図3に示すように、CPU4は、ステップS1でスイッチSW1をV0D／A変換器6側 (ON) に、その他スイッチSW2、SW3はGND側 (OFF) に接続し、スイッチSW4、SW5、SW6はOFF (OPEN) とし、電流／電圧変換回路3の電流電圧変換ゲイン (トランスインピーダンス) 設定を、リードモードでのゲイン設定とする。但し、これら設定時以前はR定電流回路14、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 I_r 、 I_{w0} 、 I_{w1} 、 I_{w2} の出力指示は0 [mA] としておく。

【0038】次に、CPU4は、ステップS2でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたリードパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度に応じた最適リードパワー (以下、目標リードパワー指示値 Pr') を認識し、目標リードパワー指示値 Pr' をV0D／A変換器6に設定する。

【0039】そして、ステップS3でRD／A変換器1

0に出力電流値を設定しR定電流回路14の電流設定を行う。

【0040】ここで、RD／A変換器10の指示値はLDドライバ回路のゲイン・LD1の電流／光変換効率・光検出器の光／電流変換効率・電流電圧変換回路3のゲイン・OP5のゲインのバラツキにおいて、リードパワーコントロールループゲインが最大となった場合にも目標リードパワー指示値 Pr' を越えることのない指示値をRD／A変換器10への初期設定値とする。

【0041】次に、CPU4は、ステップS4でOP5の1出力をA／D変換器9を介して参照し、A／D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS5で所定のbit範囲内に収まるようにRD／A変換器10の指示値を修正しステップS4に戻る。

【0042】ここで、図1では、 $R1=R2$ 、 $R3=R4=R5=R6$

より、OP5の出力 (V_{err}) は、

$$V_{err} = -V_{in} + (V_0 + V_1 + V_2) + (V_{ref}/2)$$

となり、いま、 V_1 、 V_2 は共に0であるから、 V_{in} をV0に、すなわちOP5の出力が ($V_{ref}/2$) となるようにRD／A変換器10の指示値を補正すれば良い。

【0043】続いて、ステップS4でA／D変換器9出力値が所定のbit範囲内に収まった時点で、CPU4は、ステップS6でA／D変換器9の参照を終了し、その時のRD／A変換器10への指示値をリードにおける最適リードパワー値 Pr としてCPU4内部或いは図示しないCPU4外部メモリに記録し、テスト発光における最適リードパワー Pr 、すなわち出力電流 I_r の設定を終了する。

【0044】テスト発光ライトパワー設定は、図4に示すように、ステップS11～S13で出力電流 I_{w0} 、 I_{w1} 、 I_{w2} を順次行う。このステップS11～S13の処理の詳細を説明する。

【0045】ライト時 (ライトモード) は、CPU4よりW0D／A変換器11、W1D／A変換器12、W2D／A変換器13に最適出力電流値を設定しW0定電流回路15、W1定電流回路16、W2定電流回路17の電流設定を行う。

【0046】次にスイッチSW4、SW5、SW6をライトデータに応じてON・OFF (SHUT・OPEN) し、LD1に図2のようなLD駆動電流を供給する。

【0047】(1) W0定電流回路15の出力電流 I_{w0} の設定

図5に示すように、CPU4は、ステップS21でスイッチSW1をV0D／A変換器6側 (ON) に、その他スイッチSW2、SW3はGND側 (OFF) に接続し、スイッチSW4をON (SHUT) に、SW5、SW6をOFF (OPEN) とする。さらに、電流／電圧変換

回路3の電流電圧変換ゲイン(トランスインピーダンス)を、ライトモードでのゲイン設定とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 I_{w0} 、 I_{w1} 、 I_{w2} の出力指示は0[mA]とし、R定電流回路14の出力電流 I_r はLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに"0"をセットする。

【0048】次にCPU4は、ステップS22でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア(例えばゾーン)jに応じた最適ライトパワー(以下、目標ライトパワー指示値 $P0'(j)$)を確認する($j=0 \sim n$:ゾーン番号)。前記目標ライトパワー指示値 $P0'(j)$ をV0D/A変換器6に設定する。

【0049】ステップS23で、W0D/A変換器11に出力電流値を設定しW0定電流回路15の電流設定を行う。ここで、W0D/A変換器11の指示値はLDドライバ回路ゲイン・LD電流・光変換効率・光検出器光/電流変換効率・電流電圧変換回路ゲイン・OPゲインのパラツキにおいて、前記ライトパワーコントロールループゲインが最大となった場合にも前記目標ライトパワー指示値 $P0'(j)$ を越えることのない指示値をW0D/A変換器11への初期設定値とする。

【0050】ステップS24でCPU4は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS25で所定のbit範囲内に収まるようにW0D/A変換器11の指示値を修正しステップS24に戻る。

【0051】ここで、図1では $R1=R2$ 、 $R3=R4=R5=R6$ より、OP5の出力(Verr)は $Verr = -V_{in} + (V_0 + V_1 + V_2) + (V_{ref}/2)$ となり、いま、 V_1 、 V_2 は共に0であるから、 V_{in} をV0に、すなわちOP5の出力が $(V_{ref}/2)$ となるようにW0D/A変換器11の指示値を補正すれば良い。

【0052】続いて、ステップS24でA/D変換器9出力値が所定のbit範囲内に収まった時点で、CPU4は、ステップS26でA/D変換器9の参照を終了し、その時のW0D/A変換器11への指示値を、ゾーンjでの出力電流 I_{w0} における最適ライトパワー値 $P0(j)$ としてCPU4内部或いは図示しないCPU4外部メモリに記録する。そして、ステップS27でjを+1し、ステップS28でjがn未満かどうか判断し、n未満ならばステップS22に戻り、ステップS22～S28の処理を繰り返す、n以上なら、テスト発光における最適ライトパワーの設定を終了する。

【0053】こうして、各ゾーンのそれぞれの最適ライ

トパワー値 $P0(0) \sim P0(n)$ 、すなわち各ゾーンごとの出力電流 I_{w0} を設定する。

【0054】(2)W1定電流回路16の出力電流 I_{w1} の設定

図6に示すように、CPU4は、ステップS31でスイッチSW2をV1D/A変換器7側(ON)に、その他スイッチSW1、SW3はGND側(OFF)に接続し、スイッチSW5をON(SHUT)に、SW4、SW6をOFF(OPEN)とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 I_{w0} 、 I_{w1} 、 I_{w2} の出力指示は0[mA]とし、R定電流回路14の出力電流 I_r はLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに"0"をセットする。

【0055】次にCPU4は、ステップS32でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア(例えばゾーン)jに応じた最適ライトパワー(以下、目標ライトパワー指示値) $P1'(j)$ を確認する($j=0 \sim n$:ゾーン番号)。前記目標ライトパワー指示値 $P1'(j)$ をV1D/A変換器7に設定する。

【0056】ステップS33で、W1D/A変換器12に出力電流値を設定しW1定電流回路16の電流設定を行う。ここで、W1D/A変換器12の指示値は上記W0D/A変換器11での目標ライトパワー指示値 $P0'(j)$ もしくは前記目標ライトパワー指示値 $P0'(j)$ より算出した最適ライトパワー値 $P0(j)$ をW1D/A変換器12への初期設定値とする。前記LDドライバ回路ゲイン(W0D/A変換器11→ I_{w0} 、W1D/A変換器12→ I_{w1})が I_{w0} と I_{w1} で等しいものとする。

【0057】ステップS34でCPU4は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS35で所定のbit範囲内に収まるようにW1D/A変換器12の指示値を修正しステップS34に戻る。

【0058】ここで、図1では $R1=R2$ 、 $R3=R4=R5=R6$ より、OP5の出力(Verr)は $Verr = -V_{in} + (V_0 + V_1 + V_2) + (V_{ref}/2)$ となり、いま、 V_0 、 V_2 は共に0であるから、 V_{in} をV1に、すなわちOP5の出力が $(V_{ref}/2)$ となるようにW1D/A変換器12の指示値を補正すれば良い。

【0059】続いて、ステップS34でA/D変換器9出力値が所定のbit範囲内に収まった時点で、CPU4は、ステップS36でA/D変換器9の参照を終了し、その時のW1D/A変換器12への指示値を、ゾーンjでの出力電流 I_{w1} における最適ライトパワー値 $P1$

(j)としてCPU4内部或いは図示しないCPU4外部メモリに記録する。そして、ステップS37でjを+1し、ステップS38でjがn未満かどうか判断し、n未満ならばステップS32に戻り、ステップS32～S38の処理を繰り返し、n以上なら、テスト発光における最適ライトパワーの設定を終了する。

【0060】こうして、各ゾーンのそれぞれの最適ライトパワーP1値(0)～P1(n)、すなわち各ゾーンごとの出力電流Iw1を設定する。

【0061】(3) W2定電流回路17の出力電流Iw2の設定

図7に示すように、CPU4は、ステップS41でスイッチSW3をV2D/A変換器8側(ON)に、その他スイッチSW1, SW2はGND側(OFF)に接続し、スイッチSW6をON(SHUT)に、SW4, SW5をOFF(OPEN)とする。但し、これら設定時以前は、W0定電流回路15, W1定電流回路16, W2定電流回路17の出力電流Iw0, Iw1, Iw2の出力指示は0[mA]とし、R定電流回路14の出力電流IrはLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに"0"をセットする。

【0062】次にCPU4は、ステップS42でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア(例えばゾーン)jに応じた最適ライトパワー(以下、目標ライトパワー指示値)P2'(j)を確認する(j=0～n:ゾーン番号)。前記目標ライトパワー指示値P2'(j)をV2D/A変換器8に設定する。

【0063】ステップS43で、W2D/A変換器13に出力電流値を設定しW2定電流回路17の電流設定を行う。ここで、W2D/A変換器13の指示値は上記W1D/A変換器12での目標ライトパワー指示値P1'(j)もしくは前記目標ライトパワー指示値P1'(j)より算出した最適ライトパワー値P1(j)をW2D/A変換器13への初期設定値とする。前記LDドライバ回路ゲイン(W1D/A変換器12→Iw1, W2D/A変換器13→Iw2)がIw1とIw2で等しいものとする。

【0064】ステップS44でCPU4は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS45で所定のbit範囲内に収まるようにW2D/A変換器13の指示値を修正しステップS44に戻る。

【0065】ここで、図1では
 $R1=R2, R3=R4=R5=R6$
 より、OP5の出力(Verr)は
 $Verr = -V_{in} + (V0 + V1 + V2) + (V_{ref}/2)$
 となり、いま、V0, V1は共に0であるから、VinをV

2に、すなわちOP5の出力が($V_{ref}/2$)となるようにW2D/A変換器13の指示値を補正すれば良い。

【0066】続いて、ステップS44でA/D変換器9出力値が所定のbit範囲内に収まった時点で、CPU4は、ステップS36でA/D変換器9の参照を終了し、その時のW2D/A変換器13への指示値を、ゾーンjでの出力電流Iw2における最適ライトパワー指示値P2(j)としてCPU4内部或いは図示しないCPU4外部メモリに記録する。そして、ステップS47でjを+1し、ステップS48でjがn未満かどうか判断し、n未満ならばステップS42に戻り、ステップS42～S48の処理を繰り返し、n以上なら、テスト発光における最適ライトパワーの設定を終了する。

【0067】こうして、各ゾーンのそれぞれの最適ライトパワーP2(0)～P2(n)、すなわち各ゾーンごとの出力電流Iw2を設定する。

【0068】イレースパワーの設定は、設定値がライトパワーと等しい(例えばP1(j)もしくはP2(j))の場合、ライトの指示値をそのまま設定すれば良い。また、目標値が等しくない場合にも、ライトパワー最適指示値を基にLDの電流/光変換効率よりCPUで算出しても良いし、ライトパワー設定と同様に出力パワー設定を行ってもよい。

【0069】なお、本実施の形態では、スイッチSW1, SW2, SW3を用いたが、これらスイッチを用いずにGND側接続時は各D/A指示値を0[mW]とし、D/A出力を0[V]としても良い。

【0070】(効果)このように本実施の形態によれば、3つの高速APC回路を用いることなく、かつ低速で1つのLDモニタ回路により多値のLD駆動回路のLD制御回路を実現することが可能となり、低価格な半導体レーザ制御回路の提供を実現することができる。

【0071】また、前記ライト・イレースにおける複数段のLDドライバ回路ゲインを等しくし、テスト発光時のパワー設定において随時パワー設定済み最適半導体レーザ出力指示値を用いて、その他未設定のLD制御回路の出力パワー設定を行うことを可能とし、上記テスト発光時のパワー設定動作を簡易とし、テスト発光におけるパワー設定に要する時間を低減することを可能としている。

【0072】図8は本発明の第2の実施の形態に係る半導体レーザ制御回路の構成を示す構成図である。

【0073】第2の実施の形態は、第1の実施の形態とほとんど同じであるので、異なる点のみ説明し、同一の構成には同じ符号をつけ説明は省略する。

【0074】(構成)第1の実施の形態では、V0D/A変換器6, V1D/A変換器7, V2D/A変換器8及びスイッチSW1, SW2, SW3を用いて目標リードパワー値Pr'及び目標ライトパワー値P0'(j), P1'(j), P2'(j)を設定したが、第2の実施の形態

では、図8に示すように、1つの出力光パワー指示用デジタル・アナログ変換回路（以下V_D/A変換器）41により目標リードパワー値Pr'及び目標ライトパワー値P0'（j）、P1'（j）、P2'（j）を設定するように構成している。つまり、OP5の正側入力端子は、抵抗R20を介してGNDと、抵抗R21を介して基準電圧（V_{ref}）と、抵抗R22を介してV_xD/A変換器41とに接続されている。また、V_xD/A変換器41の出力指示はCPU4により行われる。なお、各抵抗の値の関係は、

$R1=R2$, $R20:R21:R22=2:2:1$ となっている。その他の構成は第1の実施の形態と同じである。

【0075】（作用）第2の実施の形態では、V_xD/A変換器41の出力指示値をV_xとすると、

$R1=R2$, $R20:R21:R22=2:2:1$

の関係より、OP5の出力（V_{err}）が、

$V_{err}=-V_{in}+V_x+(V_{ref}/2)$

となり、OP5出力が（V_{ref}/2）となるように、RD/A変換器10、W0D/A変換器11、W1D/A変換器12、W2D/A変換器13の指示値を補正する。

【0076】すなわち、最適リードパワー値Pr（j）設定時には、第1の実施の形態で説明した図3において、ステップS1でスイッチSW4、SW5、SW6はOFF（OPEN）とし、電流/電圧変換回路3の電流電圧変換ゲイン（トランスインピーダンス）をゲイン設定を、リードモードでのゲイン設定とする。リードモードとする。但し、これら設定時以前はR定電流回路14、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流I_r、I_{w0}、I_{w1}、I_{w2}の出力指示は0[mA]としておく。

【0077】次に、CPU4は、ステップS2でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたリードパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度に応じた最適リードパワー（以下、目標リードパワー指示値Pr'）を認識し、目標リードパワー指示値Pr'に対応する設定値V_xをV_xD/A変換器41に設定する。

【0078】そして、ステップS3でRD/A変換器10に出力電流値を設定しR定電流回路14の電流設定を行う。

【0079】ここで、RD/A変換器10の指示値はLDドライバ回路のゲイン・LD1の電流/光変換効率・光検出器の光/電流変換効率・電流/電圧変換回路3のゲイン・OP5のゲインのバラツキにおいて、リードパワーコントロールループゲインが最大となった場合にも目標リードパワー指示値Pr'を越えることのない指示値をRD/A変換器10への初期設定値とする。

【0080】次に、CPU4は、ステップS4でOP5の1出力をA/D変換器9を介して参照し、A/D変換

器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS5で所定のbit範囲内に収まるようにRD/A変換器10の指示値を上述したように修正する。

【0081】また、最適ライトパワー値P0（j）設定時には、第1の実施の形態で説明した図5において、CPU4は、ステップS21でスイッチSW4をON（SHUT）に、SW5、SW6をOFF（OPEN）とする。さらに、電流/電圧変換回路3の電流電圧変換ゲイン（トランスインピーダンス）を、ライトモードでのゲイン設定とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流I_{w0}、I_{w1}、I_{w2}の出力指示は0[mA]とし、R定電流回路14の出力電流I_rはLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに"0"をセットする。

【0082】次に、CPU4は、ステップS22でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア（例えばゾーン）jに応じた最適ライトパワー（以下、目標ライトパワー指示値P0'（j））を認識する（j=0～n：ゾーン番号）。前記目標ライトパワー指示値P0'（j）に対応する設定値V_x（j）をV_xD/A変換器41に設定する。

【0083】ステップS23で、W0D/A変換器11に出力電流値を設定しW0定電流回路15の電流設定を行う。ここで、W0D/A変換器11の指示値はLDドライバ回路ゲイン・LD電流/光変換効率・光検出器光/電流変換効率・電流電圧変換回路ゲイン・OPゲインのバラツキにおいて、前記ライトパワーコントロールループゲインが最大となった場合にも前記目標ライトパワー指示値P0'（j）を越えることのない指示値をW0D/A変換器11への初期設定値とする。

【0084】ステップS24でCPU4は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS25で所定のbit範囲内に収まるようにW0D/A変換器11の指示値を上述したように修正する。

【0085】同様に、最適ライトパワー値P1（j）設定時には、第1の実施の形態で説明した図6において、CPU4は、ステップS31でスイッチSW5をON（SHUT）に、SW4、SW6をOFF（OPEN）とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流I_{w0}、I_{w1}、I_{w2}の出力指示は0[mA]とし、R定電流回路14の出力電流I_rはLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに"0"をセットする。

【0086】次にCPU4は、ステップS32でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア（例えばゾーン）jに応じた最適ライトパワー（以下、目標ライトパワー指示値） $P1'(j)$ を認識する（ $j=0\sim n$ ：ゾーン番号）。前記目標ライトパワー指示値 $P1'(j)$ に対応する設定値 $Vx(j)$ を VxD/A 変換器41に設定する。

【0087】ステップS33で、 $W1D/A$ 変換器12に出力電流値を設定し $W1$ 定電流回路16の電流設定を行う。ここで、 $W1D/A$ 変換器12の指示値は、上記 $W0D/A$ 変換器11での目標ライトパワー指示値 $P0'(j)$ もしくは前記目標ライトパワー指示値 $P0'(j)$ より算出した最適ライトパワー値 $P0(j)$ を $W1D/A$ 変換器12への初期設定値とする。前記LDドライバ回路ゲイン（ $W0D/A$ 変換器11→ $Iw0$ 、 $W1D/A$ 変換器12→ $Iw1$ ）が $Iw0$ と $Iw1$ で等しいものとする。

【0088】ステップS34でCPU4は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS35で所定のbit範囲内に収まるように $W1D/A$ 変換器12の指示値を修正する。

【0089】また、最適ライトパワー値 $P2(j)$ 設定時には、第1の実施の形態で説明した図7において、CPU4は、ステップS41でスイッチSW6をON（SHUT）に、SW4、SW5をOFF（OPEN）とする。但し、これら設定時以前は、 $W0$ 定電流回路15、 $W1$ 定電流回路16、 $W2$ 定電流回路17の出力電流 $Iw0$ 、 $Iw1$ 、 $Iw2$ の出力指示は0[mA]とし、R定電流回路14の出力電流 I_r はLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに“0”をセットする。

【0090】次にCPU4は、ステップS42でCPU4内部或いは図示しないCPU4外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア（例えばゾーン）jに応じた最適ライトパワー（以下、目標ライトパワー指示値） $P2'(j)$ を確認する（ $j=0\sim n$ ：ゾーン番号）。前記目標ライトパワー指示値 $P2'(j)$ に対応する設定値 $Vx(j)$ を VxD/A 変換器41に設定する。

【0091】ステップS43で、 $W2D/A$ 変換器13に出力電流値を設定し $W2$ 定電流回路17の電流設定を行う。ここで、 $W2D/A$ 変換器13の指示値は上記 $W1D/A$ 変換器12での目標ライトパワー指示値 $P1'(j)$ もしくは前記目標ライトパワー指示値 $P1'(j)$ より算出した最適ライトパワー値 $P1(j)$ を $W2D/A$ 変換器13への初期設定値とする。前記LDドライバ回路ゲ

イン（ $W1D/A$ 変換器12→ $Iw1$ 、 $W2D/A$ 変換器13→ $Iw2$ ）が $Iw1$ と $Iw2$ で等しいものとする。

【0092】ステップS44でCPU4は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内かどうか判断し、所定のbit範囲外ならばステップS45で所定のbit範囲内に収まるように $W2D/A$ 変換器13の指示値を修正する。

【0093】その他の作用は第1の実施の形態と同じである。

【0094】（効果）以上のように、本実施の形態では、第1の実施の形態の効果に加え、1つの出力光パワー指示用デジタル・アナログ変換回路（ VxD/A 変換器）41により目標リードパワー指示値 Pr' 及び目標ライトパワー指示値 $P0'(j)$ 、 $P1'(j)$ 、 $P2'(j)$ を設定するように構成しているので、さらに回路構成が簡単になり、より安価に構成することができる。

【0095】図9は本発明の第3の実施の形態に係る半導体レーザ制御回路の構成を示す構成図である。

【0096】第3の実施の形態は、第1の実施の形態とほとんど同じであるので、異なる点のみ説明し、同一の構成には同じ符号をつけ説明は省略する。

【0097】（構成）第3の実施の形態では、 $V0D/A$ 変換器6、 $V1D/A$ 変換器7、 $V2D/A$ 変換器8及びスイッチSW1、SW2、SW3を用いて目標リードパワー値 Pr' 及び目標ライトパワー値 $P0'(j)$ 、 $P1'(j)$ 、 $P2'(j)$ を設定し、OP5の出力 V_{err} をA/D変換器9を介して参照し、A/D変換器9の出力値が所定のbit範囲内なるように、 RD/A 変換器10、 $W0D/A$ 変換器11、 $W1D/A$ 変換器12、 $W2D/A$ 変換器13の指示値を修正していたが、第3の実施の形態では、図9に示すように、OP5、 $V0D/A$ 変換器6、 $V1D/A$ 変換器7、 $V2D/A$ 変換器8及びスイッチSW1、SW2、SW3を用いることなく、電流/電圧変換回路3の値をA/D変換器9に入力し、デジタル変換後CPU51に入力するように構成し、CPU51が直接光出力パワーを読み込むことで、 RD/A 変換器10、 $W0D/A$ 変換器11、 $W1D/A$ 変換器12、 $W2D/A$ 変換器13の指示値を修正するようになっている。その他の構成は第1の実施の形態と同じである。

【0098】（作用）リード時（リードモード）は、スイッチSW4、SW5、SW6はOFF（OPEN）とし、電流/電圧変換回路3のゲイン設定をリードモードとする。次に、CPU51において目標パワー値を設定し、 RD/A 変換器10に出力電流値を設定し定電流回路の電流設定を行う。ここで、 RD/A 変換器10の指示値は、以下に示すように、予めテスト発光によりCPU51に記憶（学習）しておいた指示値を設定する。これら設定によりリード発光に至る。リード発光時、CPUは定期的にA/D変換器9の出力を参照し、A/D変

換器9の出力値が所定の目標値と等しいか、或いはこれら両者の値の差が所定の値以内となる様にRD/A変換器10の指示値を修正する。この時、一定時間間隔ごとにA/D変換器9の出力の参照及び出力電流指示値を出力するRD/A変換器10の補正を複数回繰返しても良いし、これらの平均値により最適指示値をCPU51により算出しても良い。

【0099】ライト・イレース時(イレース・ライトモード)の出力電流 I_{w0} 、 I_{w1} 、 I_{w2} の設定は、リード同様、以下に示すように、事前にテスト発光を行い、各記録エリア(ゾーン)での光出力パワー(W0D/A変換器11、W1D/A変換器12、W2D/A変換器13)の最適電流指示値を学習し、以下に示すように、前記最適電流指示値をCPU51により I_{w0} 、 I_{w1} 、 I_{w2} の設定をそれぞれ個別に行う。ただし、 $I_{w0} \leq I_{w1} \leq I_{w2}$ である。

【0100】イレース時(イレースモード)は、CPU4よりW0D/A変換器11、W1D/A変換器12、W2D/A変換器13に出力電流値を設定し定電流回路の電流設定を行う。次にスイッチSW4、SW5をイレースゲートに応じてON(SHUT)とする。

【0101】ここで、イレース電流供給回路としてW0定電流回路15、W1定電流回路16を用いたが、定電流回路W0定電流回路15、W2定電流回路17を用いても良いし、すべてのW0定電流回路15、W1定電流回路16、W2定電流回路17を用いても良い。但し、ここで、R定電流回路14はバイアス電流(LDのしきい値電流)を供給しているものとする。

【0102】ライト時(ライトモード)は、CPU4よりW0D/A変換器11、W1D/A変換器12、W2D/A変換器13に最適出力電流値を設定しW0定電流回路15、W1定電流回路16、W2定電流回路17の電流設定を行う。

【0103】次にスイッチSW4、SW5、SW6をライトデータに応じてON-OFF(SHUT-OPEN)し、LD1に図2に示したようなLD駆動電流を供給する。

【0104】テスト発光は予め定められたユーザエリア以外のディスク内外周に設けられたTest ZoneまたはManufacturer Zone領域において以下の様に行う。

【0105】テスト発光リードパワー設定は、以下の手順で行う。以下順を追って説明する。

【0106】CPU51は、スイッチSW4、SW5、SW6をOFF(OPEN)とし、電流/電圧変換回路3の電流電圧変換ゲイン(トランスインピーダンス)をゲイン設定を、リードモードでのゲイン設定とする。但し、これら設定時以前はR定電流回路14、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 I_r 、 I_{w0} 、 I_{w1} 、 I_{w2} の出力指示は0[mA]としておく。

【0107】次に、CPU51は、CPU51内部或いは図示しないCPU51外部のメモリに、事前に記録されたリードパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度に応じた最適リードパワー(以下、目標リードパワー指示値 Pr')を認識する。

【0108】そして、CPU51は、RD/A変換器10に出力電流値を設定しR定電流回路14の電流設定を行う。

【0109】ここで、RD/A変換器10の指示値はLDドライバ回路のゲイン・LD1の電流/光変換効率・光検出器の光/電流変換効率・電流電圧変換回路3のゲイン・OP5のゲインのバラツキにおいて、リードパワーコントロールループゲインが最大となった場合にも目標リードパワー指示値 Pr' を越えることのない指示値をRD/A変換器10への初期設定値とする。

【0110】次に、CPU51は、A/D変換器9の出力を参照し、A/D変換器9の出力値が所定の上記目標リードパワー指示値 Pr' と一致するか、これら両者の値の差が所定の値以下となるようにRD/A変換器10の指示値を修正する。

【0111】A/D変換器9の出力値と目標リードパワー指示値 Pr' との差が所定の値以内となった時点で、CPU51は、A/D変換器9の参照を終了する。その時のRD/A変換器10への指示値をリードにおける最適リードパワー値 Pr としてCPU51内部或いは図示しないCPU51外部メモリに記録し、テスト発光におけるリードパワー設定を終了する。

【0112】テスト発光ライトパワー設定は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 I_{w0} 、 I_{w1} 、 I_{w2} の手順で行う。以下順を追って説明する。

【0113】(1)W0定電流回路15の出力電流 I_{w0} の設定

図5に示すように、CPU51は、スイッチSW4をON(SHUT)に、SW5、SW6をOFF(OPEN)とする。さらに、電流/電圧変換回路3の電流電圧変換ゲイン(トランスインピーダンス)を、ライトモードでのゲイン設定とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 I_{w0} 、 I_{w1} 、 I_{w2} の出力指示は0[mA]とし、R定電流回路14の出力電流 I_r はLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータjに"0"をセットする。

【0114】次にCPU51は、CPU51内部或いは図示しないCPU51外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア(例えばゾーン)jに応じた最適ライトパワー(以下、目標ライトパワー指示値 $P0'(j)$)を確認する($j=0 \sim n$:ゾーン番号)。

【0115】W0D/A変換器11に出力電流値を設定しW0定電流回路15の電流設定を行う。ここで、W0D/A変換器11の指示値はLDドライバ回路ゲイン・LD電流/光変換効率・光検出器光/電流変換効率・電流電圧変換回路ゲイン・OPゲインのバラツキにおいて、前記ライトパワーコントロールループゲインが最大となった場合にも前記目標ライトパワー指示値 $P0'(j)$ を越えることのない指示値をW0D/A変換器11への初期設定値とする。

【0116】CPU51は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定の上記目標ライトパワー指示値 $P0'(j)$ と一致するか、これら両者の値の差が所定の値以下となるようにW0D/A変換器11の指示値を修正する。

【0117】A/D変換器9の出力値と目標ライトパワー指示値 $P0'(j)$ との差が所定の値以内となった時点で、CPU51は、A/D変換器9の参照を終了する。その時のW0D/A変換器11への指示値をリードにおける最適ライトパワー値 $P0(j)$ としてCPU51内部或いは図示しないCPU51外部メモリに記録し、 j を+1し、 j が n 未満かどうか判断し、 n 未満ならばすべてのゾーンの最適ライトパワー値を算出するまで上記処理を繰り返す、 n 以上なら、テスト発光における最適ライトパワーの設定を終了する。

【0118】こうして、各ゾーンのそれぞれの最適ライトパワー値 $P0(0) \sim P0(n)$ 、すなわち各ゾーンごとの出力電流 $Iw0$ を設定する。

【0119】(2) W1定電流回路16の出力電流 $Iw1$ の設定

図5に示すように、CPU51は、スイッチSW5をON(SHUT)に、SW4、SW6をOFF(OPEN)とする。さらに、電流/電圧変換回路3の電流電圧変換ゲイン(トランスインピーダンス)を、ライトモードでのゲイン設定とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 $Iw0$ 、 $Iw1$ 、 $Iw2$ の出力指示は0[mA]とし、R定電流回路14の出力電流 I_r はLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータ j に"0"をセットする。

【0120】次にCPU51は、CPU51内部或いは図示しないCPU51外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア(例えばゾーン) j に応じた最適ライトパワー(以下、目標ライトパワー指示値 $P1'(j)$)を確認する($j=0 \sim n$:ゾーン番号)。

【0121】W1D/A変換器12に出力電流値を設定しW1定電流回路16の電流設定を行う。ここで、W1D/A変換器12の指示値は、W0D/A変換器11での目標ライトパワー指示値 $P0'(j)$ もしくは前記目標ライト

パワー指示値 $P0'(j)$ より算出した最適ライトパワー値 $P0(j)$ をW1D/A変換器12への初期設定値とする。ただし、前記ライトパワーコントロールループゲインが $Iw0$ と $Iw1$ で等しいものとする。

【0122】CPU51は、OP5の出力をA/D変換器9を介して参照し、A/D変換器9の出力値が所定の上記目標ライトパワー指示値 $P1'(j)$ と一致するか、これら両者の値の差が所定の値以下となるようにW1D/A変換器12の指示値を修正する。

【0123】A/D変換器9の出力値と目標ライトパワー指示値 $P1'(j)$ との差が所定の値以内となった時点で、CPU51は、A/D変換器9の参照を終了する。その時のW1D/A変換器12への指示値をリードにおける最適ライトパワー値 $P1(j)$ としてCPU51内部或いは図示しないCPU51外部メモリに記録し、 j を+1し、 j が n 未満かどうか判断し、 n 未満ならばすべてのゾーンの最適ライトパワー値を算出するまで上記処理を繰り返す、 n 以上なら、テスト発光における最適ライトパワーの設定を終了する。

【0124】こうして、各ゾーンのそれぞれの最適ライトパワー値 $P1(0) \sim P1(n)$ 、すなわち各ゾーンごとの出力電流 $Iw1$ を設定する。

【0125】(3) W2定電流回路17の出力電流 $Iw2$ の設定

図5に示すように、CPU51は、スイッチSW6をON(SHUT)に、SW4、SW5をOFF(OPEN)とする。さらに、電流/電圧変換回路3の電流電圧変換ゲイン(トランスインピーダンス)を、ライトモードでのゲイン設定とする。但し、これら設定時以前は、W0定電流回路15、W1定電流回路16、W2定電流回路17の出力電流 $Iw0$ 、 $Iw1$ 、 $Iw2$ の出力指示は0[mA]とし、R定電流回路14の出力電流 I_r はLD1のしきい値電流相当のバイアス電流がLD1に流れるような設定としておく。またパラメータ j に"0"をセットする。

【0126】次にCPU51は、CPU51内部或いは図示しないCPU51外部のメモリに、事前に記録されたライトパワー設定テーブルを参照し、挿入ディスク種類・ドライブ内部温度及び記録エリア(例えばゾーン) j に応じた最適ライトパワー(以下、目標ライトパワー指示値 $P2'(j)$)を確認する($j=0 \sim n$:ゾーン番号)。

【0127】W2D/A変換器13に出力電流値を設定しW2定電流回路17の電流設定を行う。ここで、W2D/A変換器13の指示値は、W1D/A変換器12での目標ライトパワー指示値 $P1'(j)$ もしくは前記目標ライトパワー指示値 $P1'(j)$ より算出した最適ライトパワー値 $P1(j)$ をW2D/A変換器13への初期設定値とする。ただし、前記ライトパワーコントロールループゲインが $Iw1$ と $Iw2$ で等しいものとする。

【0128】CPU51は、OP5の出力をA/D変換

器9を介して参照し、A/D変換器9の出力値が所定の上記目標ライトパワー指示値 $P2'(j)$ と一致するか、これら両者の値の差が所定の値以下となるようにW2D/A変換器13の指示値を修正する。

【0129】A/D変換器9の出力値と目標ライトパワー指示値 $P2'(j)$ との差が所定の値以内となった時点で、CPU51は、A/D変換器9の参照を終了する。その時のW2D/A変換器13への指示値をリードにおける最適ライトパワー値 $P2(j)$ としてCPU51内部或いは図示しないCPU51外部メモリに記録し、 j を+1し、 j が n 未満かどうか判断し、 n 未満ならばすべてのゾーンの最適ライトパワー値を算出するまで上記処理を繰り返し、 n 以上なら、テスト発光における最適ライトパワーの設定を終了する。

【0130】こうして、各ゾーンのそれぞれの最適ライトパワー値 $P2(0) \sim P2(n)$ 、すなわち各ゾーンごとの出力電流 $Iw2$ を設定する。

【0131】(効果)以上のように、本実施の形態では、第1の実施の形態の効果に加え、OP5、V0D/A変換器6、V1D/A変換器7、V2D/A変換器8及びスイッチSW1、SW2、SW3を用いることなく、電流/電圧変換回路3の値をA/D変換器9に入力し、デジタル変換後CPU51に入力するように構成したので、第1の実施の形態だけでなく第2の実施の形態よりも、さらに回路構成が簡単になり、より安価に構成することができる。

【0132】なお、LDの電流 I /光パワー P 間には、図10に示すような、一次式($P=kI+\alpha$ 、 k 、 α は定数)で表わせるリニアな関係があるので、基本的な数点(2点以上)のテスト発光を行い、その他のパワーは上記関係より算出するようにしてもよい。

【0133】〔付記〕

(付記項1) レーザ光を光記録媒体に照射する半導体レーザを有し、前記半導体レーザが照射する前記レーザ光を制御する半導体レーザ制御回路において、前記半導体レーザを駆動する半導体レーザ駆動電流を前記半導体レーザに供給する複数のパルス電流供給手段と、前記複数のパルス電流供給手段の前記半導体レーザ駆動電流を設定する電流設定手段と、前記電流設定手段の設定を制御する制御手段と、前記半導体レーザの前記レーザ光を検出する光検出手段と、前記光検出手段からの電流信号を電圧信号に変換する電流・電圧変換手段とを備え、前記制御手段は、前記光記録媒体の所定の領域で、予め、前記電流設定手段が設定する前記半導体レーザ駆動電流の設定値を指定し、前記電流・電圧変換手段の出力と所定のデータとを比較し、比較結果に基づき前記電流設定手段の前記設定値を補正し、補正後の前記設定値を記憶すると共に、記憶した前記設定値に基づき前記光記録媒体の記録領域での電流設定手段の設定を制御することを特徴とする半導体レーザ制御回路。

【0134】付記項1の前記半導体レーザ制御回路により、光ディスク記録再生装置におけるイニシャル動作(初期設定動作)において、制御手段が、ディスク種類装置内部温度、記録エリア(ゾーン)に応じたテスト発光を、ユーザエリア以外のディスク内外周に設けられたTest ZoneまたはManufacturer Zoneの領域において行い、これら目標発光パワーにおける上記定電流回路の指示値を事前に学習し(定電流回路の指示値をメモリに記憶し)、ライト・イレース発光時には、これらメモリに記憶した定電流回路の指示値を用いて半導体レーザを駆動する。

【0135】付記項1によれば、単一の半導体レーザモニタ回路(光検出器及びI/V変換回路)と単一の演算回路により構成された低帯域のAPC回路により多値の半導体レーザの制御を実現する。

【0136】また、前記ライト・イレースにおける複数段のLDドライバ回路ゲインを等しくし、パワー設定時に随時パワー設定済み最適半導体レーザ出力指示値を用いて出力パワー設定を行う事を可能とし、上記テスト発光時のパワー設定動作を簡易とした。

【0137】(付記項2) レーザ光を光記録媒体に照射する半導体レーザを有し、前記半導体レーザが照射する前記レーザ光を制御する半導体レーザ制御回路において、前記半導体レーザを駆動する半導体レーザ駆動電流を前記半導体レーザに供給する複数のパルス電流供給手段と、前記複数のパルス電流供給手段の前記半導体レーザ駆動電流を設定する電流設定手段と、前記電流設定手段の設定を制御する制御手段と、前記半導体レーザの前記レーザ光を検出する光検出手段と、前記光検出手段からの電流信号を電圧信号に変換する電流・電圧変換手段と、前記半導体レーザの発光パワー基準値を設定する1つ以上の基準設定手段と、前記電流・電圧変換手段の出力と前記発光パワー基準値を比較する比較手段とを備え、前記制御手段は、前記光記録媒体の所定の領域で、予め、前記電流設定手段が設定する前記半導体レーザ駆動電流の設定値を指定し、前記比較手段の出力と所定のデータとを比較し、比較結果に基づき前記電流設定手段の前記設定値を補正し、補正後の前記設定値を記憶すると共に、記憶した前記設定値に基づき前記光記録媒体の記録領域での前記電流設定手段の設定を制御することを特徴とする半導体レーザ制御回路。

【0138】(付記項3) 2値以上の光パワーを出力する半導体レーザを制御する半導体レーザ制御回路において、前記2値以上の出力パワーの設定時に、第1の出力パワー値の設定後、随時前記第1の出力パワー値以外の出力パワー設定値を前記第1の出力パワー値済を用いて設定を行うことを特徴とする半導体レーザ制御回路。

【0139】(付記項4) 2値以上の光パワーをパルス出力するパルス電流駆動回路を備え、前記パルス電流駆動回路を制御する半導体レーザ制御回路において、各々

の前記パルス電流駆動回路のゲイン（トランスインピーダンス）が等しいことを特徴とする半導体レーザー制御回路。

【0140】

【発明の効果】以上説明したように本発明の半導体レーザー制御回路によれば、制御手段が、光記録媒体の所定の領域で、予め、電流設定手段が設定する半導体レーザー駆動電流の設定値を指定し、電流・電圧変換手段の出力と所定のデータとを比較し、比較結果に基づき電流設定手段の設定値を補正し、補正後の設定値を記憶すると共に、記憶した設定値に基づき光記録媒体の記録領域での電流設定手段の設定を制御するので、ALPC領域でのパワー設定を行わず、簡単かつ低帯域な回路構成で半導体レーザーを多値の半導体レーザー駆動電流により駆動することができるとい効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体レーザー制御回路の構成を示す構成図

【図2】図1の半導体レーザー制御回路が出力する信号のタイミングを示すタイミングチャート

【図3】図1の半導体レーザー制御回路におけるテスト発光リードパワー設定の流れを示すフローチャート

【図4】図1の半導体レーザー制御回路におけるテスト発光ライトパワー設定の流れを示すフローチャート

【図5】図4における発光パワーW0の設定の流れを示すフローチャート

【図6】図4における発光パワーW1の設定の流れを示すフローチャート

【図7】図4における発光パワーW2の設定の流れを示すフローチャート

【図8】本発明の第2の実施の形態に係る半導体レーザー制御回路の構成を示す構成図

【図9】本発明の第3の実施の形態に係る半導体レーザー制御回路の構成を示す構成図

【図10】本発明の各実施の形態におけるLDの電流I／光パワーPの相関を示すグラフ

【図11】従来の半導体レーザー制御回路による半導体レーザーの駆動パルスび波形を示す波形図

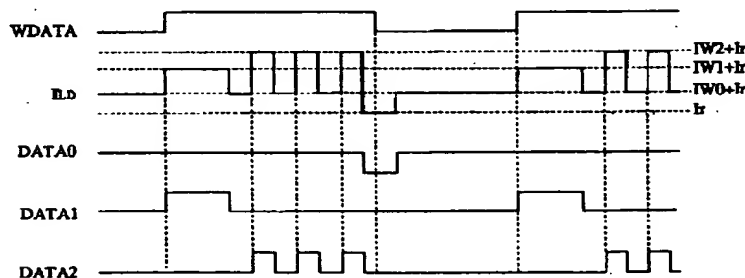
【図12】従来の半導体レーザー制御回路の構成を示す構成図

【図13】図11の半導体レーザー制御回路の各信号のタイミングを示すタイミングチャート

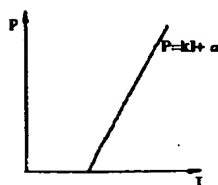
【符号の説明】

- 1…LD
- 2…光検出器
- 3…電流／電圧変換回路
- 4…CPU
- 5…OP
- 6…V0D／A変換器
- 7…V1D／A変換器
- 8…V2D／A変換器
- 9…A／D変換器
- 10…RD／A変換器
- 11…W0D／A変換器
- 12…W1D／A変換器
- 13…W2D／A変換器
- 14…R定電流回路
- 15…W0定電流回路
- 16…W1定電流回路
- 17…W2定電流回路

【図2】



【図10】



【図4】

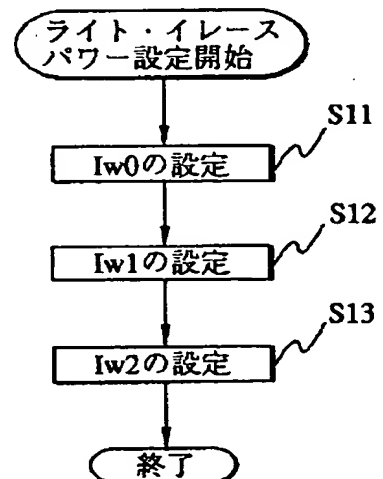
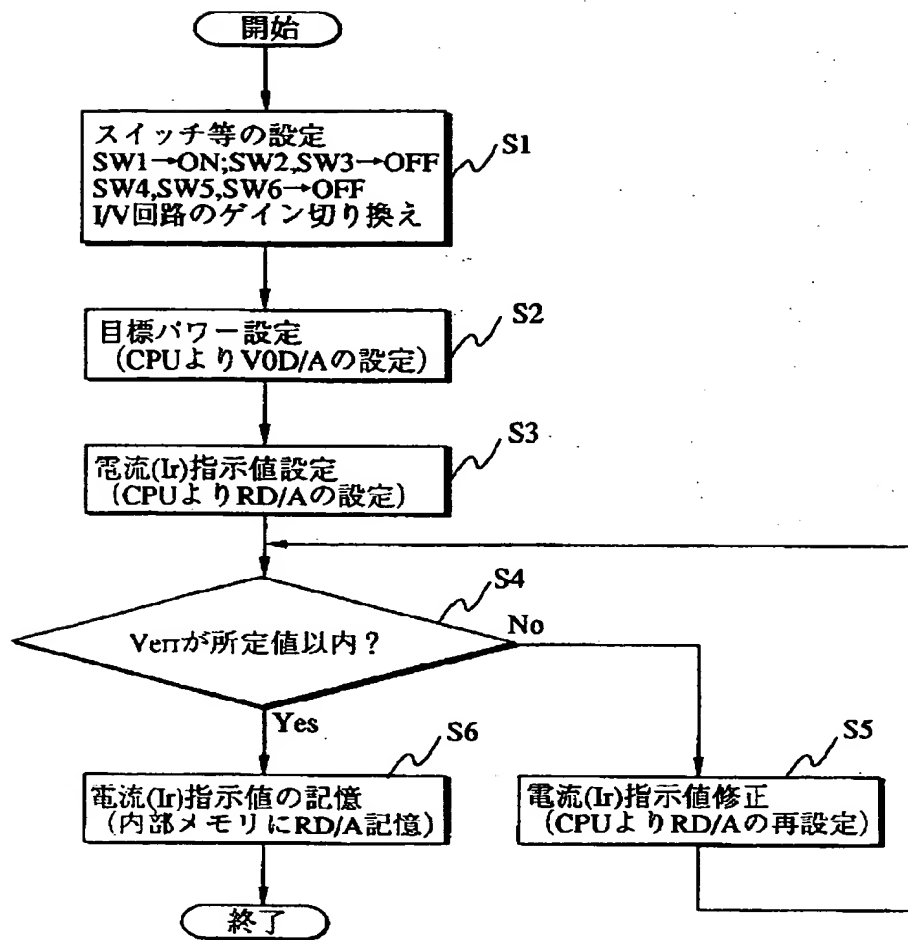
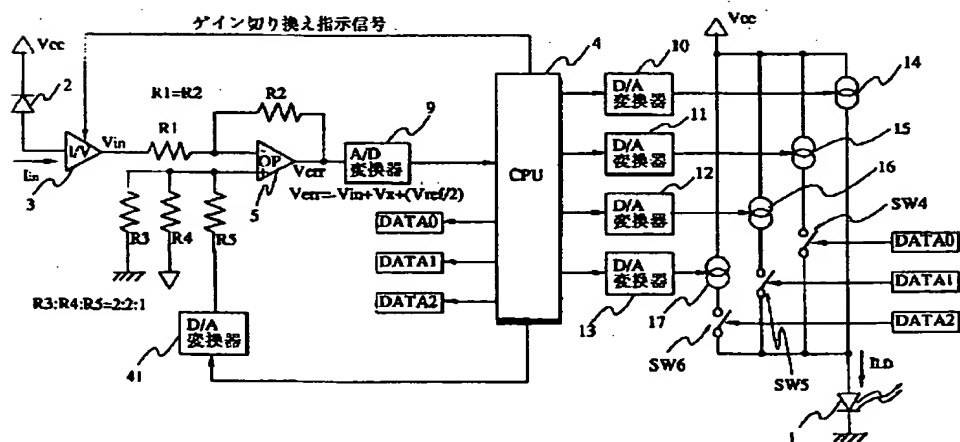


Figure 1 is a block diagram of a digital-to-analog converter circuit. The circuit includes a CPU (4) connected to four D/A converters (RD/A 10, WOD/A 11, WID/A 12, W2D/A 13) and an A/D converter (9). The CPU also controls three switches (SW1, SW2, SW3) and a load switch (SW5). The A/D converter (9) is an op-amp based circuit with feedback resistors R1, R2, R3, R4, R5, and R6. The output of the A/D converter is connected to the CPU via a switch (SW3). The CPU output is connected to the load switch (SW5) and a load (LD). The circuit is powered by Vcc and ground.

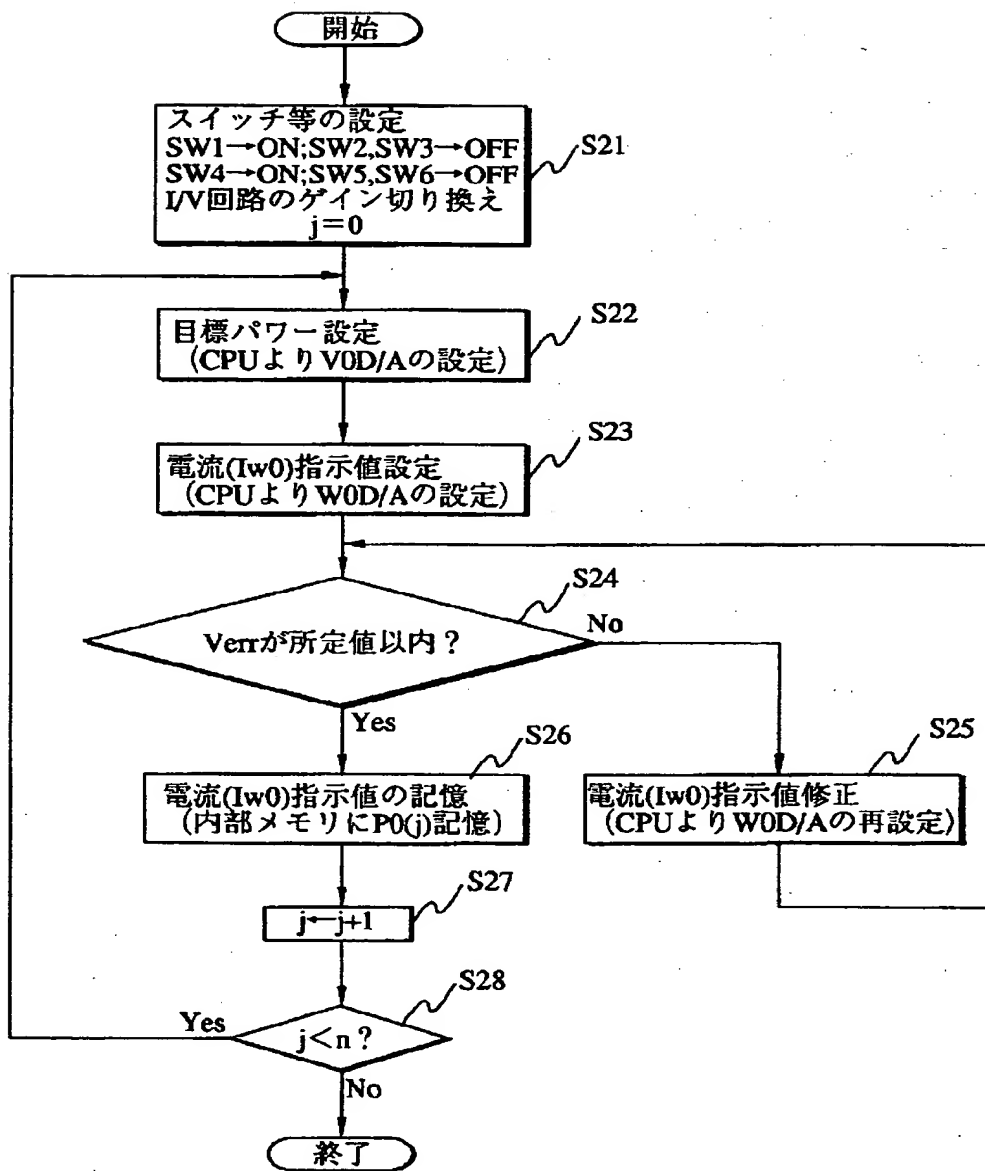
【図3】



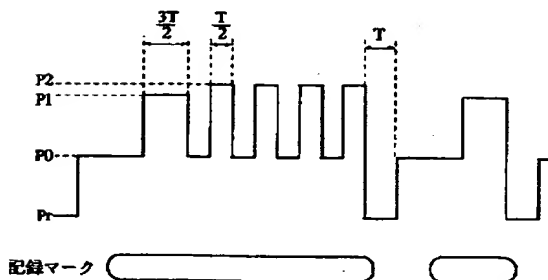
【図8】



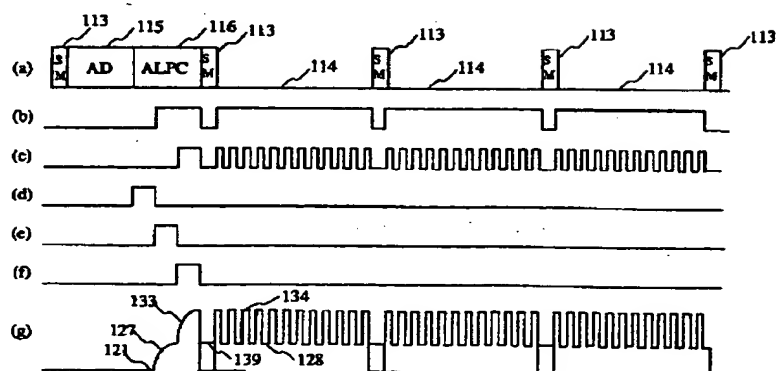
【図5】



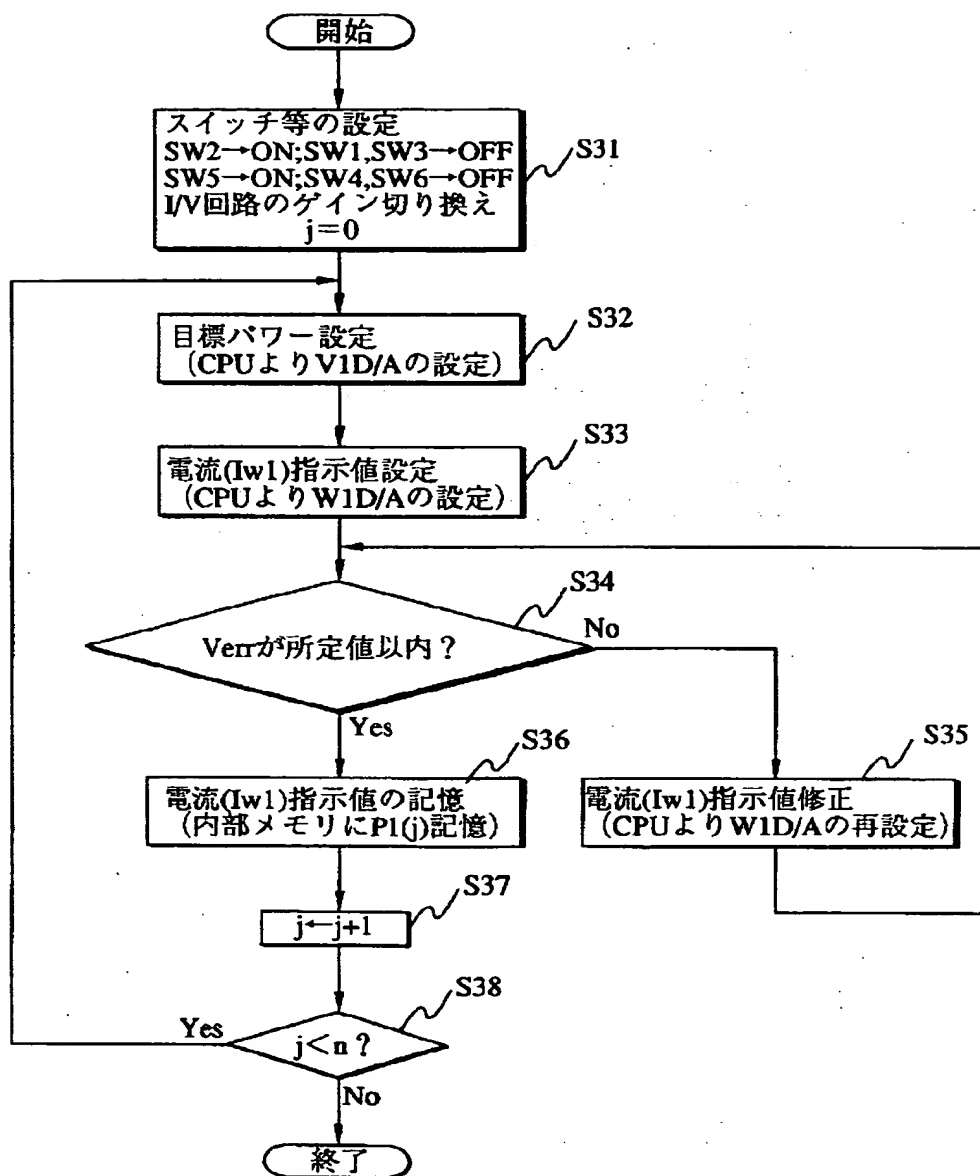
【図11】



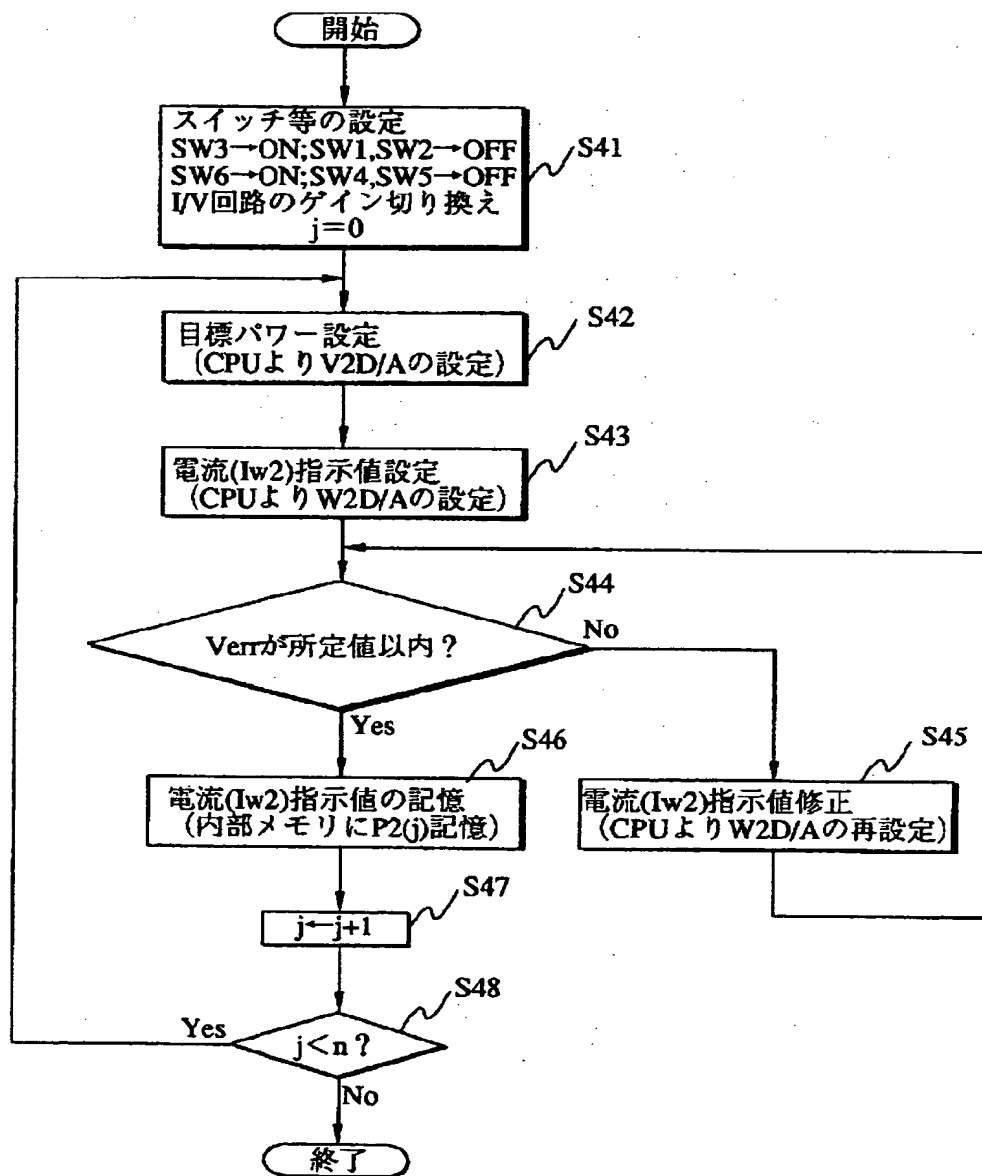
【図13】



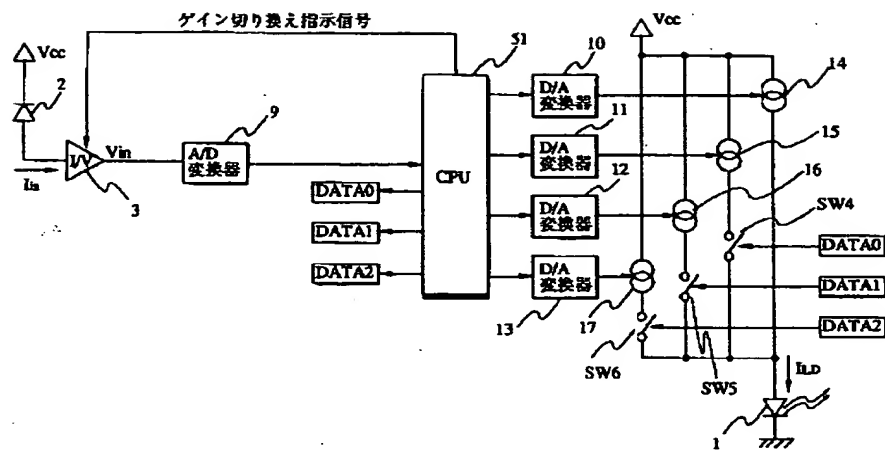
【図6】



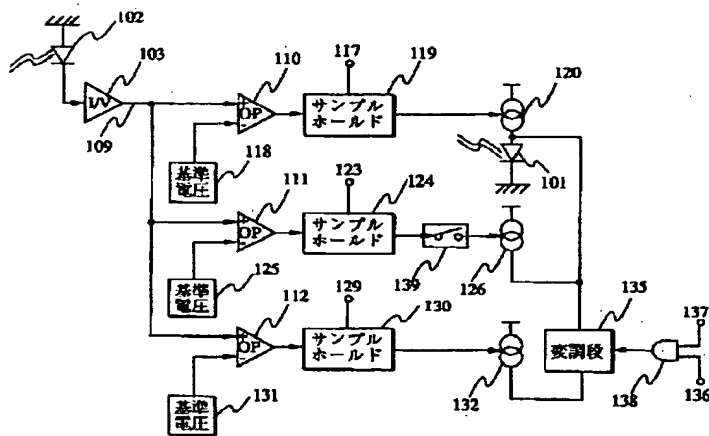
【図7】



【図9】



【図12】



This Page Blank (uspto)